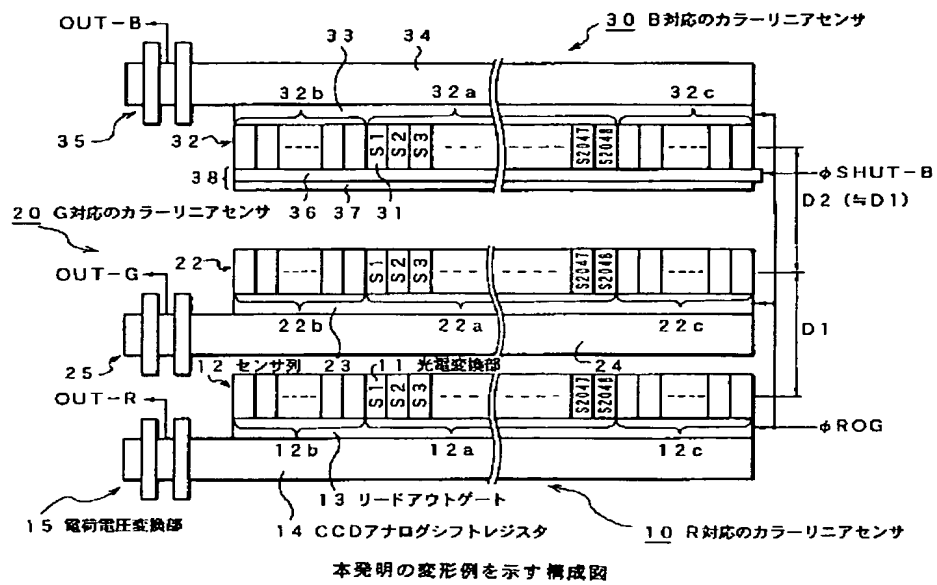
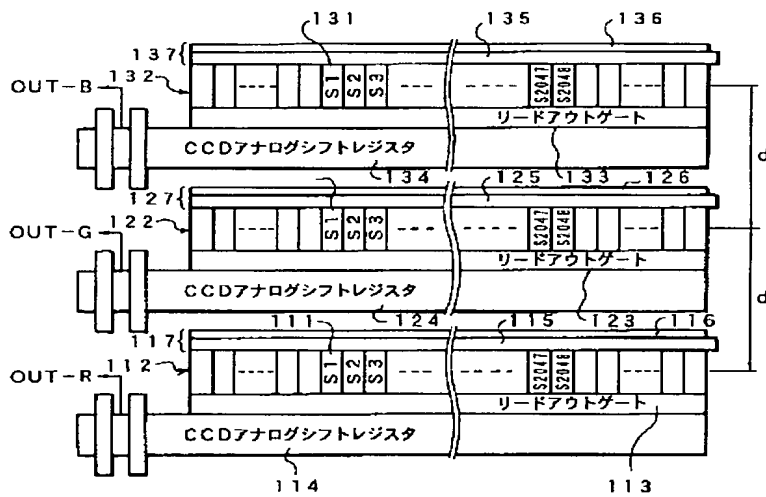


【図4】



【図5】



従来例を示す構成図



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09205520 A**(43) Date of publication of application: **05 . 08 . 97**

(51) Int. Cl.

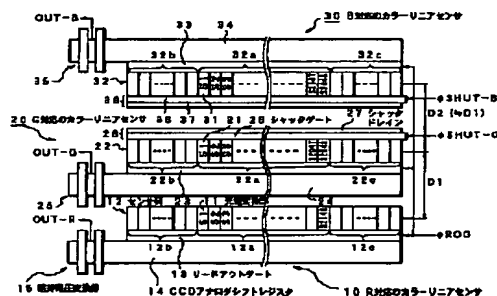
**H04N 1/028
H01L 27/148**(21) Application number: **08293620**(22) Date of filing: **06 . 11 . 96**(30) Priority: **21 . 11 . 95 JP 07302537**(71) Applicant: **SONY CORP**(72) Inventor: **HIRAMA MASAHIDE**(54) **THREE-LINE LINEAR SENSOR**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the linear sensor in which line interval is made narrow while an electronic shutter structure is mounted.

SOLUTION: In the 3-line color linear sensor, a 1st color linear sensor 10 corresponding to the color R without an electronic shutter structure and 2nd and 3rd color linear sensors 20, 30 arranged in line symmetry with electronic shutter structures 28, 38 and corresponding to colors G, B are combined and a line interval D1 between the 1st and 2nd color linear sensors 10, 20 is made narrower by the absence of the electronic shutter structure of the color linear sensor 10 and a line interval D2 between the 2nd and 3rd color linear sensors 20, 30 is made narrow and nearly equal to the line interval D1.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205520

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 4 N	1/028		H 0 4 N	1/028	C
H 0 1 L	27/148		H 0 1 L	27/14	A
					B

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平8-293620

(22) 出願日 平成8年(1996)11月6日

(31) 優先権主張番号 特願平7-302537

(32) 優先日 平7(1995)11月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平間 正秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

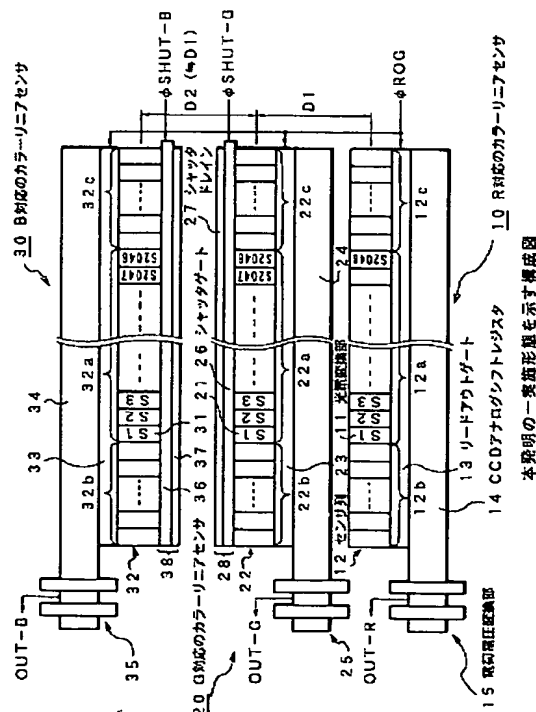
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 3ラインリニアセンサ

(57) 【要約】

【課題】 全ラインに電子シャッタ構造が付加されていたため、ライン間隔を狭めることができなかった。

【解決手段】 3ラインのカラーリニアセンサにおいて、電子シャッタ構造を持たないR対応の第1のカラーリニアセンサ10と、電子シャッタ構造28、38を持って互いに線対称に配置されたG、B対応の第2、第3のカラーリニアセンサ20、30とを組み合わせ、第1のカラーリニアセンサ10が電子シャッタ構造を持たない分だけ第1、第2のカラーリニアセンサ10、20相互間のライン間隔D1を狭めるとともに、線対称配置によって第2、第3のカラーリニアセンサ20、30相互間のライン間隔D2も狭くかつ上記ライン間隔D1とほぼ等しく設定する。



【特許請求の範囲】

【請求項 1】 画素列と、この画素列の一方側に配された読み出しゲートおよび電荷転送レジスタを有する第 1 のリニアセンサと、

画素列と、この画素列の一方側に配された読み出しゲートおよび電荷転送レジスタを有し、電荷転送レジスタを前記第 1 のリニアセンサ側にして配置された第 2 のリニアセンサと、

画素列と、この画素列の一方側に配された読み出しゲートおよび電荷転送レジスタを有し、前記第 2 のリニアセンサに対して前記第 1 のリニアセンサと反対側に線対称に配置された第 3 のリニアセンサとを備えたことを特徴とする 3 ラインリニアセンサ。

【請求項 2】 前記第 1、第 2 および第 3 のリニアセンサは、カラーリニアセンサであることを特徴とする請求項 1 記載の 3 ラインリニアセンサ。

【請求項 3】 前記第 2 のリニアセンサが前記第 1 のリニアセンサとの間に所定のライン間隔を持って配置され、

前記第 3 のリニアセンサが前記第 2 のリニアセンサとの間に、該所定のライン間隔と略等しいライン間隔を持って配置されたことを特徴とする請求項 1 記載の 3 ラインリニアセンサ。

【請求項 4】 前記第 2 および第 3 のリニアセンサの両方、またはどちらか一方が画素列の他方側に配された電子シャッタ構造を有することを特徴とする請求項 1 記載の 3 ラインリニアセンサ。

【請求項 5】 前記第 1 のリニアセンサは、前記第 2 および第 3 のリニアセンサに比して感度が最も低いことを特徴とする請求項 4 記載の 3 ラインリニアセンサ。

【請求項 6】 前記シャッタ構造により前記第 2、第 3 のリニアセンサの蓄積時間を調整し、前記第 1、第 2 および第 3 のリニアセンサの各出力を略一定とすることを特徴とする請求項 4 記載の 3 ラインリニアセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3 ラインリニアセンサに関し、特に電子シャッタ付 3 ラインリニアセンサに関する。

【0002】

【従来の技術】3 ラインリニアセンサ、例えば R（赤）、G（緑）、B（青）の 3 ラインカラーリニアセンサは、R、B の各画素を点順次に配列したラインおよび G のみのラインからなる 2 ラインカラーリニアセンサに比べて高解像度の色情報を得ることができるため、デジタル複写機やスキャナーなどに多用されている。しかしながら、3 ラインカラーリニアセンサでは、R、G、B の各センサ列（画素列）が空間的に離れて設けられているため、各センサ列から同時に出力される信号は空間的に離れた情報となる。

【0003】そのため、外部に位置補正用メモリを設け、空間的に離れた情報の位置補正を行っている。この位置補正用メモリにおいては、センサ列相互のセンサ中心間の距離（以下、ライン間隔と称する）が長くなる程補正量が多くなるため、メモリ容量を多く必要とする。したがって、メモリ容量を削減し、システムの低コスト化を図るためには、ライン間隔を狭く設定すれば良い。

【0004】

【発明が解決しようとする課題】ところで、センサ列の各光電変換部における信号電荷の蓄積時間を制御する電子シャッタ構造を各ラインごとに有する 3 ラインカラーリニアセンサがある。すなわち、この電子シャッタ付 3 ラインカラーリニアセンサにおいては、図 5 に示すように、センサ列 1 1 2、1 2 2、1 3 2 の各光電変換部 1 1 1、1 2 1、1 3 1 から信号電荷を読み出すリードアウトゲート 1 1 3、1 2 3、1 3 3 およびこの読み出した信号電荷を転送する CCD アナログシフトレジスタ 1 1 4、1 2 4、1 3 4 を各ラインが有することに加え、シャッタゲート 1 1 5、1 2 5、1 3 5 およびシャッタドレイン 1 1 6、1 2 6、1 3 6 からなる電子シャッタ構造 1 1 7、1 2 7、1 3 7 が全ラインに付加された構成となっている。

【0005】この電子シャッタ付 3 ラインカラーリニアセンサでは、電子シャッタ構造 1 1 7、1 2 7、1 3 7 が付加された分だけライン間隔 d が広がるため、外部に設ける位置補正用メモリとして大容量のものを使用せざるを得ず、システムの高コスト化を招く一因となる。したがって、特に電子シャッタ付 3 ラインカラーリニアセンサにあつては、メモリ容量を削減し、システムの低コスト化を図る上でライン間隔 d を狭めることが重要なポイントとなってくる。

【0006】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、電子シャッタ構造を搭載させながらライン間隔を狭めることを可能とした 3 ラインリニアセンサを提供することにある。

【0007】

【課題を解決するための手段】本発明による 3 ラインリニアセンサは、画素列と、この画素列の一方側に配された読み出しゲートおよび電荷転送レジスタを有する第 1 のリニアセンサと、画素列と、この画素列の一方側に配された読み出しゲートおよび電荷転送レジスタと、画素列の他方側に配された電子シャッタ構造とを有し、電荷転送レジスタを第 1 のリニアセンサ側にして第 1 のリニアセンサとの間に所定のライン間隔を持って配置された第 2 のリニアセンサと、この第 2 のリニアセンサと同様の構造からなり、かつ第 2 のリニアセンサに対して第 1 のリニアセンサと反対側に上記所定のライン間隔と略等しいライン間隔を持って線対称に配置された第 3 のリニアセンサとを備えた構成となっている。

【0008】上記構成の 3 ラインリニアセンサにおい

て、第1のリニアセンサは電子シャッタ構造を持たないことから、その分だけ第2のリニアセンサとの間のライン間隔を狭めた状態での配置が可能となる。一方、第3のリニアセンサは、第2のリニアセンサに対して線対称に配置されることで、第2のリニアセンサとの間には読み出しゲートおよび電荷転送レジスタが介在しないことから、この空間的スペースに第2、第3のリニアセンサの各電子シャッタ構造を余裕を持って構成できるとともに、第2のリニアセンサとの間のライン間隔を自由に設定可能となる。ここでは、第2、第3のリニアセンサ相互間のライン間隔を、第1、第2のリニアセンサ相互間のライン間隔とほぼ等しくなるように設定される。

【0009】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、例えば3ラインカラーリニアセンサに適用された本発明の一実施形態を示す構成図である。

【0010】図1において、R（赤）、G（緑）、B（青）に対応して第1、第2、第3のカラーリニアセンサ10、20、30が設けられている。R対応の第1のカラーリニアセンサ10は、光電変換部（画素）11が直線状に多数配列されてなる画素列（以下、センサ列と称する）12を有し、その一方側には各光電変換部11で光電変換された信号電荷を読み出すための読み出しゲート（以下、リードアウトゲートと称する）13およびその読み出した信号電荷を転送する電荷転送レジスタ（以下、CCDアナログシフトレジスタと称する）14が設けられた構成となっている。

【0011】センサ列12は、例えば2048画素（S1～S2048）分の有効画素部12aと、その前後の複数画素分の無効画素部12b、12cとから構成され、受光面上にはR対応のカラーフィルタ（図示せず）が配されている。無効画素部12b、12cは、各光電変換部11の受光面側が遮光されたいわゆるオプティカルブラック（OPB）部である。CCDアナログシフトレジスタ14の転送先側の端部には、例えばフローティング・ディフュージョン・アンプ構成の電荷電圧変換部15が設けられている。

【0012】かかる構成の第1のカラーリニアセンサ10において、リードアウトゲートパルス ϕ_{ROG} がリードアウトゲート13のゲート電極（図示せず）に印加されることにより、このゲート電極の下のパテンシャルが深くなるため、センサ列12の各光電変換部11の信号電荷は、このリードアウトゲート13を介してCCDアナログシフトレジスタ14に読み出される。そして、この読み出された信号電荷はCCDアナログシフトレジスタ14で順に転送され、さらに電荷電圧変換部18において信号電圧に変換されてR用信号出力OUT-Rとなる。

【0013】次に、G対応の第2のカラーリニアセンサ

20の構成について説明する。この第2のカラーリニアセンサ20は、第1のカラーリニアセンサ10の場合と同様に、光電変換部21が直線状に配列されてなるセンサ列22と、その一方側に配置されたリードアウトゲート23およびCCDアナログシフトレジスタ24とを有し、受光面上にはG対応のカラーフィルタ（図示せず）が配されている。これに加え、第2のカラーリニアセンサ20では、シャッタゲート26およびシャッタドレイン27からなるいわゆる横型の電子シャッタ構造28がセンサ列22の他方側に配置された構成となっている。

【0014】そして、この第2のカラーリニアセンサ20は、CCDアナログシフトレジスタ24を第1のカラーリニアセンサ10側にしてこの第1のカラーリニアセンサ10との間に所定のライン間隔D1を持って平行に配置されている。ここに、ライン間隔とは、2本のカラーリニアセンサ10、20の各センサ列12、22相互のセンサ中心間の距離を言うものとする。

【0015】かかる構成の第2のカラーリニアセンサ20において、リードアウトゲートパルス ϕ_{ROG} がリードアウトゲート23のゲート電極（図示せず）に印加されることにより、このゲート電極の下のパテンシャルが深くなるため、センサ列22の各光電変換部21の信号電荷は、このリードアウトゲート23を介してCCDアナログシフトレジスタ24に読み出され、さらにこのCCDアナログシフトレジスタ24で順に転送されかつ電荷電圧変換部25で信号電圧に変換されてG用信号出力OUT-Gとなる。

【0016】また、電子シャッタ構造28においては、G用シャッタパルス ϕ_{SHUT-G} がシャッタゲート26のゲート電極（図示せず）に印加されることにより、このゲート電極の下のパテンシャルが深くなるため、センサ列22の各光電変換部21に蓄積された信号電荷がシャッタゲート26を介してシャッタドレイン27に掃き捨てられる。これにより、信号電荷の蓄積時間を制御するシャッタ動作が行われる。

【0017】次に、B対応の第3のカラーリニアセンサ30について説明する。この第3のカラーリニアセンサ30は、第2のカラーリニアセンサ20の場合と同様に、光電変換部31が直線状に配列されてなるセンサ列32と、その一方側に配置されたリードアウトゲート33およびCCDアナログシフトレジスタ34と、その他方側に配置されたシャッタゲート36およびシャッタドレイン37からなる電子シャッタ構造38とを有し、受光面上にB対応のカラーフィルタ（図示せず）が配された構成となっている。そして、第2のカラーリニアセンサ20に対して第1のカラーリニアセンサ10と反対側に上記ライン間隔D1と略等しいライン間隔D2を持って線対称に配置されている。

【0018】かかる構成の第3のカラーリニアセンサ30において、リードアウトゲートパルス ϕ_{ROG} がリー

ドアウトゲート33のゲート電極（図示せず）に印加されることにより、このゲート電極の下のパテンシャルが深くなるため、センサ列32の各光電変換部31の信号電荷は、このリードアウトゲート33を介してCCDアナログシフトレジスタ34に読み出され、さらにこのCCDアナログシフトレジスタ34で順に転送されかつ電荷電圧変換部35で信号電圧に変換されてB用信号出力OUT-Gとなる。

【0019】また、電子シャッタ構造38においては、B用シャッタパルス ϕ SHUT-Gがシャッタゲート36のゲート電極（図示せず）に印加されることにより、このゲート電極の下のパテンシャルが深くなるため、センサ列32の各光電変換部21に蓄積された信号電荷がシャッタゲート36を介してシャッタドレイン37に掃き捨てられる。これにより、信号電荷の蓄積時間を制御するシャッタ動作が行われる。

【0020】ところで、R、G、Bの3ラインカラーリニアセンサにおいて、例えば、R、G、Bの各感度が $5V/(1x \cdot s)$ 、 $10V/(1x \cdot s)$ 、 $15V/(1x \cdot s)$ であると仮定した場合、R、G、Bの各蓄積時間が同じであるとすると、R、G、Bの出力電圧比は1:2:3となる。しかし、R、G、Bの各蓄積時間を各色ごとに定めることによって出力電圧をほぼ一定に設定できる。この場合、最も感度が低い色の蓄積時間を基準にし、これに対して感度が高い2色分の蓄積時間を調整することで、各色の出力電圧をほぼ一定にできる。

【0021】このことから、上記構成の本実施形態に係る3ラインカラーリニアセンサにおいては、R、G、Bのうち、最も感度が低いR対応のカラーリニアセンサ10については電子シャッタ構造を省略し、R対応のカラーリニアセンサ10よりも感度が高いG、B対応の各カラーリニアセンサ20、30に対してのみ電子シャッタ構造28、38を付加した構造を採っている。

【0022】これによれば、各ライン全てに電子シャッタ構造を付加していた従来構造（図5を参照）に比べて、R対応のカラーリニアセンサ10とG対応のカラーリニアセンサ20との間のライン間隔D1を、電子シャッタ構造を省略できた分だけ狭く設定できる。その結果、空間的に離れた3ラインの各情報の位置補正を行うために外部に設けられる位置補正用メモリ（図示せず）のメモリ容量を削減できることになる。本願発明者によれば、ライン間隔D1を従来構造のものに比してほぼ半減できる実装結果が得られており、その結果メモリ容量も半減できることになる。

【0023】また、G、B対応のカラーリニアセンサ20、30の電子シャッタ構造28、38に対しては、図2のタイミングチャートに示すタイミングで、シャッタパルス ϕ SHUT-G、 ϕ SHUT-Bを印加するようにする。これにより、最も感度が低いR対応のカラーリニアセンサ10の蓄積時間が最も長いに対し、R対応

のカラーリニアセンサ10よりも感度が高いG対応のカラーリニアセンサ20の蓄積時間がRのそれよりも短く、最も感度が高いB対応のカラーリニアセンサ30の蓄積時間が一番短くなる。

【0024】このようにして、R対応のカラーリニアセンサ10に対して感度が高いG、B対応の各カラーリニアセンサ20、30の蓄積時間を調整することで、各色の出力電圧をほぼ一定にできる。これにより、3ラインカラーリニアセンサで白を撮影した際の3ラインの各出力電圧がほぼ同レベルとなり、いわゆるホワイトバランスがとられる。すなわち、電子シャッタ構造28、38によってG、B対応のカラーリニアセンサ20、30の各蓄積時間を、各色の出力電圧がほぼ一定となるように調整し、ホワイトバランスをとることで、画質を向上できる。

【0025】一方、B対応の第3のカラーリニアセンサ30を配置するに当たっては、当該カラーリニアセンサ30をそのまま第2のカラーリニアセンサ20と平行に配置したのでは、図5の従来構造から明らかなように、両カラーリニアセンサ20、30間に電子シャッタ構造が介在することになることから、そのライン間隔D2を第1、第2のカラーリニアセンサ10、20相互間のライン間隔D1まで狭めることはできず、3ライン相互間のライン間隔D1、D2が不均等なものとなってしまう。

【0026】このように、3ライン相互間のライン間隔D1、D2が不均等であると、3ラインカラーリニアセンサを例えばカラー複写機に使用した場合において、縮小や拡大などの特殊再生を行う際に、色ずれが生じるなどの不具合が発生するため好ましくない。

【0027】一例として、R対応のカラーリニアセンサ10とG対応のカラーリニアセンサ20との間のライン間隔D1を4ライン相当、G対応のカラーリニアセンサ20とB対応のカラーリニアセンサ30との間のライン間隔D2を5ライン相当と仮定し、50%縮小を行う場合を考えると、縮小時の解像度が最大解像度の1/2になることから、位置補正用メモリにおいて、Rのラインデータに対してGのデータとしては2ライン後のデータが対応し、Bのデータとしてはさらに2.5ライン後のデータが対応する。

【0028】この場合、Gのデータについては2ライン後のデータをそのまま用いれば良いので問題はないが、Bのデータについては2.5ライン後のデータというのは存在しないことから、2ライン後のデータと3ライン後のデータとを用いて例えばその平均をとって2.5ライン後のデータを生成する処理を行わざるを得なく、この処理に起因して色ずれが生じるのである。縮小率・拡大率が33%など半端な数値になれば、色ずれの問題もさらに顕著に現れる。以上の理由から、3ライン相互間のライン間隔D1、D2は、均等であることが望まし

10

20

30

40

50

い。

【0029】そこで、本実施形態に係る3ラインカラーリニアセンサにおいては、B対応の第3のカラーリニアセンサ30をG対応の第2のカラーリニアセンサ20に対して線対称に配置した構造を採っている。これにより、第3のカラーリニアセンサ30と第2のカラーリニアセンサ20との間には幅の広いCCDアナログシフトレジスタ34が介在しないため、第2、第3のカラーリニアセンサ20、30相互間のライン間隔D2を狭めることができ、しかも第1、第2のカラーリニアセンサ10、20相互間のライン間隔D1とほぼ等しく設定できる。

【0030】すなわち、この第2、第3のカラーリニアセンサ20、30相互間のライン間隔D2についても、従来構造(図5を参照)に比べて狭くできることになる。しかも、第3のカラーリニアセンサ30と第2のカラーリニアセンサ20の間にはスペース的な余裕を十分に確保することができるため、第2、第3のカラーリニアセンサ20、30の各電子シャッター構造28、38を構成するに当たっては、余裕をもって構成すること

【0031】なお、上記実施形態においては、第2、第3のカラーリニアセンサ20、30の両方に電子シャッター構造28、38を設ける構成としたが、必ずしも両方に設ける必要はなく、図3に示す如く第2のカラーリニアセンサ20にのみ電子シャッター構造28を設けたり、図4に示す如く第3のカラーリニアセンサ30にのみ電子シャッター構造38を設けたりすることも可能である。

【0032】また、上記実施形態においては、カラーの3ラインリニアセンサに適用した場合について説明した

ムでR、G、Bを分光してセンサに入射させるような白黒の3ラインリニアセンサにも同様に適用可能である。

【0033】

【発明の効果】以上説明したように、本発明によれば、3ラインのリニアセンサにおいて、電子シャッター構造を持たない第1のリニアセンサと、互いに線対称に配置された第2、第3のリニアセンサとを組み合わせた構成としたことにより、第1のリニアセンサが電子シャッター構造を持たない分だけ第1、第2のリニアセンサ相互間のライン間隔を狭めることができるとともに、線対称配置によって第2、第3のリニアセンサ相互間のライン間隔も狭くかつ上記ライン間隔とほぼ等しく設定できるので、外部に設ける位置補正用メモリのメモリ容量の削減に寄与できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す構成図である。

【図2】本実施形態に係るタイミングチャートである。

【図3】本発明の変形例を示す構成図である。

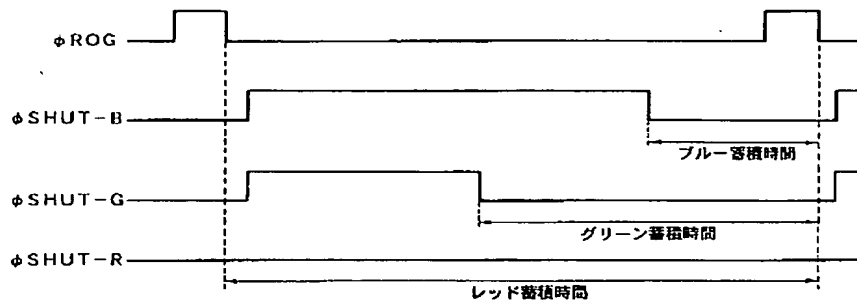
【図4】本発明の変形例を示す構成図である。

【図5】従来例を示す構成図である。

【符号の説明】

10	R対応のカラーリニアセンサ	11, 21, 31	光電変換部
12, 22, 32	センサ列	13, 23, 33	リードアウトゲート
14, 24, 34	CCDアナログシフトレジスタ		
15, 25, 35	電荷電圧変換部	20	G対応のカラーリニアセンサ
28, 38	電子シャッター構造	30	B対応のカラーリニアセンサ

【図2】



本実施形態に係るタイミングチャート

[illegible]

The diagram shows a cross-sectional view of a color CCD sensor array. It consists of three horizontal rows of pixel elements, each corresponding to a different color channel: Blue (OUT-B), Green (OUT-G), and Red (OUT-R).
 - The top row (OUT-B) includes a blue filter (30) and a series of photodiodes (32) divided into sections 32a, 32b, and 32c.
 - The middle row (OUT-G) includes a green filter (20) and a series of photodiodes (22) divided into sections 22a, 22b, and 22c.
 - The bottom row (OUT-R) includes a red filter (10) and a series of photodiodes (12) divided into sections 12a, 12b, and 12c.
 - Between the rows are vertical structures representing color filters and other components like the light shield (11) and output gates (13, 24, 27).
 - Various electrical connections and control signals are indicated, such as SHUT-G and ROG.